

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 3月24日

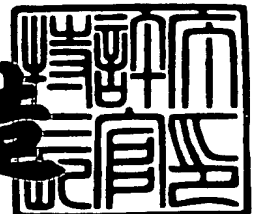
出 願 番 号
Application Number: 特願2000-088593

出 願 人
Applicant (s): 新光電気工業株式会社

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3104621

【書類名】 特許願

【整理番号】 1003360

【提出日】 平成12年 3月24日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 13

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 堀内 道夫

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 栗原 孝

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

 【識別番号】 100082898

 【弁理士】

 【氏名又は名称】 西山 雅也

【選任した代理人】

 【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 下記の部材：

厚さ方向の貫通孔を有する絶縁性のテープ基材、

該テープ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子、

該半導体素子が搭載された領域以外の該テープ基材上面に形成され、該半導体素子の側面周囲を封止する封止樹脂層、

該テープ基材の下面に形成され且つ該テープ基材の貫通孔の下端を塞いで底部を画定する金属配線、

該金属配線および該テープ基材の下面を覆い且つ厚さ方向の貫通孔を有するソルダレジスト層、

該金属配線の下面から隆起し、該ソルダレジスト層の貫通孔を充填して貫通し下方に突出した外部接続端子、

前記半導体素子のアクティブ面から下方に延びて、該テープ基材の貫通孔内に挿入された接続端子、および

該接続端子と該テープ基材の貫通孔の内壁との間隙を充填し、該接続端子と該金属配線とを電氣的に接続する導電性材料から成る充填材、
を含むことを特徴とする半導体装置。

【請求項 2】 前記導電性材料が低融点金属または導電性ペーストであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記封止樹脂層および前記封止樹脂層が形成されている領域の前記テープ基材を貫通し、上端が該封止樹脂層の上面に露出し、下端が前記金属配線層に電氣的に接続している導体柱を更に含むことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記封止樹脂層に代えて、前記半導体素子が搭載された領域以外の前記テープ基材上面に接合され該半導体素子の側面を間隙を介して取り囲む絶縁性の枠体と、該間隙内を充填して該半導体素子の側面周囲を封止する封止

樹脂層とを含み、該枠体および該枠体が接合されている領域の該テープ基材を貫通し、上端が該枠体の上面に露出し、下端が前記金属配線層に電氣的に接続している導体柱を更に含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記半導体素子のアクティブ面から下方に延びた接続端子が、金または銅のバンプから成ることを特徴とする請求項 1 から 4 までのいずれか 1 項記載の半導体装置。

【請求項 6】 前記ソルダレジスト層の開口を充填して貫通する外部接続端子が、ペリフェラルまたはエリアアレイの形態で配置されていることを特徴とする請求項 1 から 5 までのいずれか 1 項記載の半導体装置。

【請求項 7】 前記接続端子と前記テープ基材の貫通孔の内壁との間隙を、該貫通孔のほぼ上端の位置まで前記充填材が充填していることを特徴とする請求項 1 から 6 までのいずれか 1 項記載の半導体装置。

【請求項 8】 請求項 3 または 4 記載の半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記外部接続端子の下端とで相互に電氣的に接続されていることを特徴とする素子積層型半導体装置。

【請求項 9】 請求項 1 から 7 までのいずれか 1 項記載の半導体装置の製造方法であって、

複数の半導体パッケージ単位を含み得る面積を有し、下面に前記金属配線層および前記ソルダレジスト層を備えた前記テープ基材および該ソルダレジスト層に各々厚さ方向の前記貫通孔を形成し、

該テープ基材の貫通孔に前記導電性材料を、該貫通孔を不完全に充填する量で充填し、

複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記接続端子を上記テープ基材の対応する貫通孔に各々挿入して、該接続端子と該貫通孔の内壁との間隙を該貫通孔のほぼ上端まで該導電性材料により充填させると共に、該半導体素子を該テープ基材の上面に接合して搭載し、

該半導体素子が搭載された領域以外の該テープ基材の上面を覆い且つ少なくとも該半導体素子の側面周囲を封止する封止樹脂層を形成し、

その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研

磨して所定の厚さとし、

次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項 1 0】 請求項 3 記載の半導体装置を製造するための請求項 9 記載の方法であって、前記テープ基材に貫通孔を形成する際に請求項 3 記載の導体柱に対応する位置で該テープ基材を貫通する別の貫通孔を形成し、前記封止樹脂層を形成する前に該別の貫通孔を充填し且つ該テープ基材の上面から突き出た該導体柱を形成することを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 4 記載の半導体装置を製造するための請求項 9 記載の方法であって、請求項 4 記載の枠体の内壁を規定する開口を設けた絶縁性基材を前記テープ基材の上面に接合し、該テープ基材に前記貫通孔を形成する際に請求項 4 記載の導体柱に対応する位置で該絶縁性基材と該テープ基材とを貫通する別の貫通孔を形成し、前記半導体素子を搭載する前に該別の貫通孔を充填し且つ該絶縁性基材の上面に露出する該導体柱を形成し、該半導体素子を搭載した後に請求項 4 記載の間隙に前記封止樹脂層を形成することを特徴とする半導体装置の製造方法。

【請求項 1 2】 前記封止樹脂層を形成した後、前記研削および研磨の前または後に、電氣的試験を行うことを特徴とする請求項 9 から 1 1 までのいずれか 1 項記載の半導体装置の製造方法。

【請求項 1 3】 前記複数の半導体パッケージ単位を含み得るテープ基材が、直径 2 インチ以上 1 2 インチ以下のディスク状であることを特徴とする請求項 9 から 1 2 までのいずれか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、薄型パッケージとしての半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、半導体素子（L S I 等の半導体チップ）を搭載した薄型パッケージとしての半導体装置は、多ピン化、接続端子ピッチの縮小、装置全体の薄型化・小型化に最も良く適応しうる T C P （テープ・キャリア・パッケージ）が普及している。

【 0 0 0 3 】

T C P は、T A B （テープ・オートメイトド・ボンディング）方式により半導体素子を絶縁性のテープ状基材（通常は樹脂フィルム）に搭載して製造される。典型的には、先ず、所定パターンの開口部を設けた樹脂フィルムに銅箔を貼り付けた後、銅箔をエッチングによりパターンニングして所定の銅リードを形成する。次に、半導体素子（半導体チップ）を樹脂フィルムの開口部内に位置決めして保持し、チップの複数の接続端子（一般には金バンプ）と樹脂フィルム上の対応する複数の銅リードとを接合した後、半導体チップと銅リードの一部を樹脂封止することにより、1つの半導体パッケージ単位が完成する。そして、樹脂フィルムを断続的に送りながら各開口部毎に上記の操作を繰り返すことにより、1つのフィルム上に多数の半導体パッケージ単位が形成される。最後に、フィルムの長手方向に沿って多数形成された各半導体パッケージ単位を相互間で切断分離することにより、個々の半導体パッケージとしての半導体装置が得られる。

【 0 0 0 4 】

図 1 は、半導体チップと T C P のリードを接続した後の従来の半導体装置を示す斜視図であり、個々の T C P をテープから切断する前の状態を示す。T C P 1 0 は、樹脂フィルム（例えばポリイミド樹脂フィルム）1 を基材として使用し、その上に銅箔のエッチングにより形成したリード 2 を有している。また、樹脂フィルム 1 の両側縁には、フィルム送りのためスプロケットホール 3 が開けられている。さらに、樹脂フィルム 1 の中央部には、図示されるように半導体チップ 4 を収容するための開口（一般に、「デバイスホール」と呼ばれる）5 およびウインドウホール 9 も開けられている。

【 0 0 0 5 】

半導体チップとパッケージのリードの接続の状態を、図 1 の半導体装置の中心部を拡大した図 2 の断面図に示す。半導体チップ 4 は、樹脂フィルム 1 のデバイ

スホール5に位置決めして配置された後、その電極上のパンプ（通常、金メッキからなる突起）6にリード2の先端が接合される。このリードの接合は、通常、専用のボンディングツールを使用して一括ボンディングで行われる。なお、銅からなるリード2の先端には、パンプ6との接合を助けるため、ボンディング工程に先がけて予め金メッキなどが施される。最後に、図1には示されていないが、半導体チップ4やリード6を周囲環境の湿度、汚染などから保護するため、両者を包み込むようにして樹脂7で封止する。封止用の樹脂7としては、例えば、エポキシ樹脂が使用される。

【0006】

しかし、上記従来の半導体装置には下記（a）～（e）の問題があった。

（a）樹脂フィルムへの半導体チップの取り付け高さの低減に限界があるため、半導体装置の薄型化に限界がある。すなわち、半導体素子の固定は、樹脂フィルムの開口部内に梁状に細長く突き出た銅リードでなされるため、取り付け強度を確保するには、銅リード、その支持部材となる樹脂フィルム、そして装置全体にある程度以上の厚さが必要である。仮に樹脂封止部で補強させるとすると、広い範囲を厚く封止しなければならないが、広い範囲に渡って封止の完全性を確保することは困難であり、厚く封止すると薄型化に逆行する。

【0007】

（b）半導体装置の薄型化に必要な薄く脆く反り易い半導体チップは、個々に特別なキャリアを要するなど取り扱いが非常に煩雑で多数の工程を要するだけでなく、製造歩留りの向上も困難である。

（c）個々の半導体チップを1つ1つ樹脂フィルムの開口部に位置合わせして接合する必要があるので、多数の半導体パッケージを製造するには製造工程が煩雑で長くなる。

【0008】

（d）半導体チップを複数層に積層した素子積層型半導体装置は、個々の半導体チップを樹脂フィルムの開口部に位置合わせ・ボンディングして取り付ける必要があるため、製造工程が更に煩雑で長くなる。

（e）個々のチップに厚さのばらつきがある上、個々の取り付け高さにもばら

つきがある結果、半導体装置に高さのばらつきが生ずるため、電氣的試験を半導体パッケージ単位に切断分離する前に一括して行うことが困難である。

【0009】

【発明が解決しようとする課題】

本発明は、上記従来技術の問題を解消し、取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さばらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体装置は、下記の部材：

厚さ方向の貫通孔を有する絶縁性のテープ基材、

該テープ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子、

該半導体素子が搭載された領域以外の該テープ基材上面に形成され、該半導体素子の側面周囲を封止する封止樹脂層、

該テープ基材の下面に形成され且つ該テープ基材の貫通孔の下端を塞いで底部を画定する金属配線、

該金属配線および該テープ基材の下面を覆い且つ厚さ方向の貫通孔を有するソルダレジスト層、

該金属配線の下面から隆起し、該ソルダレジスト層の貫通孔を充填して貫通し下方に突出した外部接続端子、

前記半導体素子のアクティブ面から下方に延びて、該テープ基材の貫通孔内に挿入された接続端子、および

該接続端子と該テープ基材の貫通孔の内壁との間隙を充填し、該接続端子と該金属配線とを電氣的に接続する導電性材料から成る充填材、を含むことを特徴とする。

【0011】

上記本発明の半導体装置を製造する方法は、

複数の半導体パッケージ単位を含み得る面積を有し、下面に前記金属配線層および前記ソルダレジスト層を備えた前記テープ基材および該ソルダレジスト層に各々厚さ方向の前記貫通孔を形成し、

該テープ基材の貫通孔に前記導電性材料を、該貫通孔を不完全に充填する量で充填し、

複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記接続端子を上記テープ基材の対応する貫通孔に各々挿入して、該接続端子と該貫通孔の内壁との間隙を該貫通孔のほぼ上端まで該導電性材料により充填させると共に、該半導体素子を該テープ基材の上面に接合して搭載し、

該半導体素子が搭載された領域以外の該テープ基材の上面を覆い且つ少なくとも該半導体素子の側面周囲を封止する封止樹脂層を形成し、

その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとし、

次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【 0 0 1 2 】

本発明によれば、半導体素子のアクティブ面から下方に延びて、テープ基材の貫通孔内に挿入された接続端子、および接続端子とテープ基材の貫通孔の内壁との間隙を充填し、接続端子と金属配線とを電氣的に接続する導電性材料から成る充填材を備えた構造としたことにより、半導体素子をアクティブ面で直接テープ基材と接合できると同時に、テープ基材の貫通孔に挿入した接続端子および間隙を充填する導電性材料から成る充填材により半導体素子を金属配線層に電氣的に接続できるので、従来技術のように半導体素子をテープ基材の開口内にリードで固定する構造に比べて、に取り付け強度を容易に確保して従来よりも薄型化することができる。

【 0 0 1 3 】

本発明によれば更に、テープ基材上に多数の半導体素子を固定し、半導体素子の側面周囲を樹脂封止した状態で、半導体素子の背面および封止樹脂層を上から

研削および研磨して所定値まで高さを低減できるので、個々の半導体チップは薄くせずに厚い状態で取り扱うことができ、従来のように煩雑な工程も特別なキャリアも必要とせず、多数の半導体パッケージ単位をテープ基材に固定された一体として一括して製造でき、半導体パッケージとしての半導体装置の高さを薄くかつ均一に揃えることができ、電氣的試験も一括して実行でき、製造工程を短縮し且つ製品歩留りを向上した上で、従来よりも薄型化することができる。

【 0 0 1 4 】

【発明の実施の形態】

本発明の一形態による半導体装置は、①前記封止樹脂層および前記封止樹脂層が形成されている領域の前記テープ基材を貫通し、上端が該封止樹脂層の上面に露出し、下端が前記金属配線層に電氣的に接続している導体柱を更に含む構造か、あるいは②前記封止樹脂層に代えて、前記半導体素子が搭載された領域以外の前記テープ基材上面に接合され該半導体素子の側面を間隙を介して取り囲む絶縁性の枠体と、該間隙内を充填して該半導体素子の側面周囲を封止する封止樹脂層とを含み、該枠体および該枠体が接合されている領域の該テープ基材を貫通し、上端が該枠体の上面に露出し、下端が前記金属配線層に電氣的に接続している導体柱を更に含む構造である。

【 0 0 1 5 】

上記①または②の構造は、積層型半導体装置の製造に適用すると特に有利である。これにより製造される本発明の積層型半導体装置は、上記①または上記②の半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記外部接続端子の下端とで相互に電氣的に接続されている構造である。

本発明の半導体装置においては、前記半導体素子のアクティブ面から下方に延びた接続端子は、典型的には金または銅のバンプから成る。

【 0 0 1 6 】

本発明の半導体装置においては、前記ソルダレジスト層の開口を充填して貫通する外部接続端子は、半導体装置の用途あるいは顧客の要望に応じてペリフェラルまたはエリアアレイの形態で配置される。

本発明の半導体装置においては、前記接続端子と前記テープ基材の貫通孔の内

壁との間隙を、該貫通孔のほぼ上端の位置まで前記充填材が充填していることが望ましい。すなわち、充填材の量は、後から挿入される半導体素子の接続端子との合計体積が、テープ基材の貫通孔（底部を金属配線が画定）の容積とほぼ等しくなるように設定する。これにより、接続端子と金属配線との接続が確実に成され、同時に、余分な導電性材料が貫通孔上端から溢れることが防止される。導電性材料としては、低融点金属または導電性ペーストを用いることができる。

【0017】

本発明の製造方法においては、テープ基材上に形成された多数の半導体パッケージ単位の高さが均一に揃っているので、前記封止樹脂層を形成した後、前記研削および研磨の前または後に、容易に一括して電氣的試験を行うことができる。

本発明の製造方法に用いるテープ基材は、前記複数の半導体パッケージ単位を含み得るサイズであって、直径2インチから12インチまでのディスク状であることが望ましい。これにより、同サイズの半導体ウェハを処理する既存の研削機や切断機等の設備を用いることができるので、その分、新規設備のための費用を低減できる。

【0018】

【実施例】

以下、添付図面を参照し本発明を実施例により詳細に説明する。

【実施例1】

図3（1）および（2）に、本発明による半導体装置の一例を（1）断面図および（2）上面図でそれぞれ示す。

【0019】

図示した半導体装置20は、厚さ方向の貫通孔22を有する絶縁性のテープ基材21の上面に、半導体素子23が背面23Bを上方に露出し且つアクティブ面23Aを下方に向けて接合されている。半導体素子23が接合された領域21X以外のテープ基材上面領域21Yには、封止樹脂層24が形成されおり、半導体素子23の側面周囲を封止している。テープ基材21の下面に形成された金属配線25が、テープ基材21の貫通孔22の下端を塞いで底部を画定している。厚さ方向の貫通孔27を有するソルダレジスト層26が、金属配線25およびテ

ブ基材 2 1 の下面を覆っている。金属配線 2 5 の下面から隆起した外部接続端子 2 8 が、ソルダレジスト層 2 6 の貫通孔 2 7 を充填して貫通し下方に突出している。半導体素子 2 3 のアクティブ面 2 3 A から下方に延びた接続端子 2 9 が、テープ基材 2 1 の貫通孔内に挿入されている。接続端子 2 9 とテープ基材 2 1 の貫通孔 2 2 の内壁との間隙に充填された低融点金属の充填材 3 0 によって、接続端子 2 9 と金属配線 2 5 とが電氣的に接続されている。

【 0 0 2 0 】

充填材 3 0 としては、低融点金属に代えて導電ペーストを用いてもよい。導電ペーストとしては、ポリイミド樹脂やエポキシ樹脂中に銀または銅の粒子を分散させた銀ペーストまたは銅ペーストが一般的に用いられる。これらの導電ペーストをスクリーン印刷等により貫通孔内に充填する。

図示の例では、半導体素子 2 3 の背面と封止樹脂層 2 4 の上面は同一平面上にあるが、封止樹脂層 2 4 が半導体素子 2 3 の側面周囲を封止している限り必ずしも同一平面でなくともよく、半導体素子 2 3 の側面から離れた部位では封止樹脂層 2 4 の高さが半導体素子 2 3 の背面より低くてもよい。

【 0 0 2 1 】

図 3 に示した本発明の半導体装置の製造方法の一例を、図 4 ～図 9 を参照して以下に説明する。

図 4 に最初に準備する初期構造を示す。テープ基材 2 1 は、複数の半導体パッケージ単位を含み得る面積を有し、下面に金属配線層 2 5 およびソルダレジスト層 2 6 を備えている。テープ基材 2 1 としては、各種の有機材料あるいは高分子材料を用いることができるが、一般にポリイミドフィルム、ガラスやアラミド等の繊維で強化したエポキシフィルムあるいは B T (ビスマレイミドトリアジン) フィルム、P P E (ポリフェニレンエーテル) フィルム等の樹脂フィルムあるいは樹脂シートが適している。テープ基材 2 1 の厚さは、基材として必要な強度および剛性が確保される限り薄い方が半導体装置の薄型化にとっては望ましく、一般には $25\mu\text{m}$ ～ $100\mu\text{m}$ の範囲、特に $75\mu\text{m}$ 前後が用いられる。

【 0 0 2 2 】

テープ基材 2 1 にパンチング等により貫通孔 2 2 を形成した後、片面に金属配

線層 2 5 を形成するための銅箔を貼り付ける。あるいは、テープ基材 2 1 と銅箔とが一体化された銅箔付テープを用い、テープ基材 2 1 部分にレーザ加工を施すことにより、テープ基材 2 1 を貫通し銅箔を底部とする孔を形成してもよい。銅箔付テープは、銅箔にポリイミド等の樹脂の塗布により絶縁層を形成したものである。

【 0 0 2 3 】

次に、テープ基材 2 1 の貫通孔 2 2 (金属配線層 2 5 により底部が画定)に、低融点金属の充填材 3 0 を不完全に充填する。すなわち、後工程で半導体素子 2 1 の接続端子 2 9 を挿入したときに、充填材 3 0 が接続端子 2 9 と貫通孔 2 2 の内壁との間隙を貫通孔 2 2 のほぼ上端まで満たすような充填量とする。充填材 3 0 の低融点金属としては、銀-錫合金 (A g - S n)、鉛-錫合金 (P b - S n)、銀-錫-銅合金 (A g - S n - C u)、これらにビスマス (B i) やアンチモン (S b) を含む合金等を用いることができる。充填は、銅箔を給電層として用いた電解めっきにより行うことが望ましいが、はんだペーストのスクリーン印刷によって行うこともできる。

【 0 0 2 4 】

次いで、上記の銅箔をエッチングによりパターンニングして金属配線層 2 5 を形成する。金属配線層 2 5 の形成後に、貫通孔 2 7 を有するソルダレジスト層 2 6 を形成する。貫通孔 2 7 を有するソルダレジスト層 2 6 の形成は、一般的には感光性レジストの塗布、露光、現像により行う。外部接続端子の個数 (貫通孔 2 7 の個数) が少なく、外部接続端子間のピッチが十分大きい場合には、樹脂のスクリーン印刷によって行うことができる。ソルダレジスト層 2 6 の貫通孔 2 7 は、製造する半導体装置 2 0 の用途に応じてペリフェラルまたはエリアアレイ状に形成する。

【 0 0 2 5 】

次に、図 5 に示すように、テープ基材 2 1 の上面に液状あるいは半硬化状態の樹脂から成る絶縁性コーティング 3 1 を塗布する。半硬化状態の絶縁性コーティング 3 1 は半導体素子を接着する作用がある。

次いで、図 6 に示すように、硬化前のコーティング 3 1 の上に半導体素子 2 3

を配置して接合する。すなわち、複数の半導体パッケージ単位を構成する必要個数の半導体素子 2 3 の接続端子 2 9 をテープ基材 2 1 の対応する貫通孔 2 2 に各々挿入して、接続端子 2 9 と貫通孔 2 2 の内壁との間隙を貫通孔 2 2 のほぼ上端まで低融点金属 3 0 により充填させると共に、半導体素子 2 3 をテープ基材 2 1 の上面に接合して搭載する。これは、半導体素子 2 3 を低融点金属 3 0 の融点近傍の温度に加熱して、接続端子 2 9 を貫通孔 2 2 内の低融点金属 3 0 中に押し込むことにより行う。

【 0 0 2 6 】

半導体素子 2 3 の接続端子 2 9 は、金または銅のバンプとして形成することが望ましい。接続端子 2 9 が周縁領域に配置されている半導体素子 2 3 の場合には、一般にワイヤボンディング法を利用したスタッドバンプとして接続端子 2 9 を形成する。接続端子 2 9 が中央部のアクティブ領域に配置されている半導体素子 2 3 の場合には、スタッドバンプ形成による機械的衝撃を避ける観点から、めっき法により接続端子 2 9 を形成することが望ましい。めっき法は、半導体素子上に再配線部を伴いエリアアレイ状にバンプを形成する場合に特に有利である。スタッドバンプは金で形成することが望ましく、めっきバンプは保護めっき層を備えた銅ポストとして形成することが望ましい。

【 0 0 2 7 】

接続端子すなわちバンプ 2 9 のサイズは、半導体装置 2 0 の設計厚さに応じて任意に設定できる。一例においては、バンプ 2 9 は底部の直径が $70\ \mu\text{m}$ 、高さ $30\sim60\ \mu\text{m}$ である。その場合、バンプ 2 9 の形成における位置決め精度を考慮すると、バンプ 2 9 が挿入されるテープ基材 2 1 の貫通孔 2 2 は直径 $90\sim150\ \mu\text{m}$ 程度の範囲が適当である。

【 0 0 2 8 】

次に、図 7 に示すように、半導体素子 2 3 が搭載された領域以外のテープ基材 2 1 の上面を覆い且つ少なくとも半導体素子 2 3 の側面周囲を封止する封止樹脂層 2 4 を形成する。なお、図 7 ～図 9 においては、非常に薄い絶縁性コーティング 3 1 は封止樹脂層 2 4 と一体として図示し、別個の図示は省略した。

図 7 には、封止樹脂層 2 4 は半導体素子 2 3 も覆い、全体がほぼ同一厚さに形

成されている態様を示した。ただし別の態様として、図 8 に示したように、この工程段階において封止樹脂層 2 4 は半導体素子 2 3 を必ずしも覆う必要はなく、半導体素子 2 3 の側面との接触部は封止樹脂層 2 4 の厚さを半導体素子 2 3 の高さと同等とし、半導体素子 2 3 から離れた領域ではこれより薄くてもよい。すなわち、この工程段階で形成する封止樹脂層 2 4 の厚さは、次工程で行う研削および研磨後に半導体素子 2 3 の側面周囲を完全に封止できる厚さで残るように設定すればよい。

【 0 0 2 9 】

次に、図 9 に示すように、封止樹脂層 2 4 の上部および半導体素子 2 3 の背面 2 3 B 側部分を研削および研磨して所定の厚さとする。これにより、例えば図 7 あるいは図 8 の状態で 5 0 0 μ m 程度であった半導体素子 2 3 を 5 0 ~ 1 0 0 μ m 程度に薄くすることができる。その結果、半導体装置 2 0 は、1 2 0 ~ 3 0 0 μ m 程度に薄くできる。これは、従来最も多用されている T S O P (Thin-Small-Outline Package) の厚さ 1 2 0 0 μ m 程度と比較すると、1 / 4 以下の厚さである。

【 0 0 3 0 】

研削および研磨後に、ソルダレジスト層 2 6 の貫通孔 2 7 内に、ソルダレジスト層 2 6 の下面から突き出た外部接続端子 2 8 を形成する。これは、はんだボールの搭載またははんだペーストのスクリーン印刷の後、リフローすることにより行う。

最後に、図 9 に破線で示した各位置で半導体パッケージ単位 u に切り分けることにより、個々の半導体装置 2 0 (図 3) が得られる。

【 0 0 3 1 】

〔実施例 2〕

図 1 0 (1) および (2) に、本発明による半導体装置の他の例を (1) 断面図および (2) 上面図でそれぞれ示す。図 3 に示す実施例 1 の構造と対応する部分には図 3 中と同じ参照番号を付した。

図示した半導体装置 4 0 は、図 3 に示した構造に加えて、低融点金属の導体 (導体柱) 3 2 を更に含む。導体 3 2 は、半導体素子 2 3 の側面周囲を封止する封

止樹脂層 2 4 および封止樹脂層 2 4 が形成されている領域のテープ基材 2 1 を貫通し、上端が封止樹脂層 2 4 の上面に露出し、下端が金属配線層 2 5 に電氣的に接続している。

【 0 0 3 2 】

図 1 0 の半導体装置 4 0 は、図 1 1 に示したように複数層積層して薄型の積層型半導体装置 4 4 を有利に形成できる。すなわち、下層の半導体装置 4 0 の低融点金属の導体 3 2 の上端と、上層の半導体装置 4 0 の外部接続端子 2 8 の下端とを接続することにより、積層構造全体として複数（この例では 3 個）の半導体素子 2 3 を含む一体の回路から成る 1 つの半導体装置 4 4 を構成する。半導体装置 4 0 の積層は、下記のようにして行うことができる。

【 0 0 3 3 】

すなわち、半導体装置の外形を有する治具（外形ガイド）で複数の半導体装置を位置決めしながら積層し、積層方向に適当な荷重を負荷した状態で一括してリフローすることにより積層型半導体装置が得られる。あるいは、個々の半導体装置に設けたガイド孔にピンを通して位置決めしながら複数の半導体装置を積層し、積層方向に適当な荷重を負荷した状態で一括してリフローしてもよい。

【 0 0 3 4 】

図 1 0 に示した本発明の半導体装置の製造方法の一例を、図 1 2 ～ 1 6 を参照して以下に説明する。図 4 ～ 図 9 に示す実施例 1 の構造に対応する部分には図 4 ～ 図 9 中と同じ参照番号を付した。

図 1 2 に示した初期構造は、テープ基材 2 1 に貫通孔 2 2 の他に貫通孔 3 3 が形成されている以外は、図 4 に示した実施例 1 の初期構造と同様である。貫通孔 2 2 は実施例 1 と同様に半導体素子 2 3 の接続端子 2 9 に対応する位置に設けてあり、貫通孔 3 3 は半導体素子 2 3 の側面周囲を封止する封止樹脂層 2 4 の形成領域内に設けてある。通常、貫通孔 3 3 は貫通孔 2 2 に対して直径が数倍の大きさである。例えば、貫通孔 2 2 が直径 2 5 ～ 1 0 0 μm 程度であるのに対して、貫通孔 3 3 は直径 5 0 0 μm 程度である。金属配線層 2 5 によって底面を画定された貫通孔 3 3 内に、少量のフラックス 3 4 を配置する。図 1 2 に示した初期構造の他の部分については、実施例 1 と同様の処理によって形成する。

【 0 0 3 5 】

次に、図 1 3 に示したように、貫通孔 3 3 内に、封止樹脂層 2 4 の上面から突き出た低融点金属の導体 3 2 を形成する。これは、貫通孔 3 3 内のフラックス 3 4 上に、低融点金属の球（例えば、はんだボール）を載せ、リフローすることにより行う。その後、実施例 1 と同様にして絶縁性のコーティング 3 1 を形成する。

【 0 0 3 6 】

次に、図 1 4 に示すように、実施例 1 と同様にして、硬化前のコーティング 3 1 の上に半導体素子 2 3 を配置して接合する。これに伴い、半導体素子 2 3 のアクティグ面 2 3 A から隆起した接続端子 2 9 が、テープ基材 2 1 の貫通孔 2 2 内に挿入され、低融点金属 3 0 の中に押し込まれる。

次に、図 1 5 に示すように、半導体素子 2 3 が搭載された領域以外のテープ基材 2 1 の上面を覆い且つ少なくとも半導体素子 2 3 の側面周囲を封止する封止樹脂層 2 4 を形成する。図 1 5 ～図 1 6 において、絶縁性のコーティング 3 1 は図示を省略した。

【 0 0 3 7 】

図 1 5 には、封止樹脂層 2 4 は半導体素子 2 3 も覆い、全体がほぼ同一厚さに形成されている態様を示した。ただし、実施例 1 について図 8 に示したように、この工程段階においては封止樹脂層 2 4 は半導体素子 2 3 を必ずしも覆う必要はなく、半導体素子 2 3 の側面との接触部は封止樹脂層 2 4 の厚さを半導体素子 2 3 の高さと同等とし、半導体素子 2 3 から離れた領域ではこれより薄くてもよい。すなわち、この工程段階で形成する封止樹脂層 2 4 の厚さは、次工程で行う研削および研磨後に半導体素子 2 3 の側面周囲を完全に封止できる厚さで残るように設定すればよい。

【 0 0 3 8 】

次に、図 1 6 に示すように、封止樹脂層 2 4 の上部、導体 3 2 の頂部および半導体素子 2 3 の背面 2 3 B 側部分を研削および研磨して所定の厚さとする。

研削および研磨後に、ソルダレジスト層 2 6 の貫通孔 2 7 内に、実施例 1 と同様にして外部接続端子 2 8 を形成する。

最後に、図 1 6 に破線で示した各位置で半導体パッケージ単位 u に切り分けることにより、個々の半導体装置 4 0 (図 1 0) が得られる。

【 0 0 3 9 】

〔実施例 3〕

図 1 7 (1) および (2) に、本発明による半導体装置のもう一つの例を (1) 断面図および (2) 上面図でそれぞれ示す。図 3 に示す実施例 1 の構造と対応する部分には図 3 中と同じ参照番号を付した。

図示した半導体装置 6 0 は、図 3 に示した構造における封止樹脂層 2 4 に代えて、半導体素子 2 3 が搭載された領域以外のテープ基材 2 1 上面に接合され半導体素子 2 3 の側面を間隙 G を介して取り囲む絶縁性の枠体 3 6 と、間隙 G 内を充填して半導体素子 2 3 の側面周囲を封止する封止樹脂層 2 4 とを含み、枠体 3 6 および枠体 3 6 が接合されている領域のテープ基材 2 1 を貫通し、上端が枠体 3 6 の上面に露出し、下端が金属配線層 2 5 に電気的に接続している低融点金属の柱状の導体 (導体柱) 3 2 を更に含む構造である。

【 0 0 4 0 】

図 1 7 の半導体装置 6 0 は、図 1 8 に示したように複数層積層して薄型の積層型半導体装置 6 6 を有利に形成できる。すなわち、下層の半導体装置 6 0 の低融点金属の柱状の導体 3 2 の上端と、上層の半導体装置 6 0 の外部接続端子 2 8 の下端とを接続することにより、積層構造全体として複数 (この例では 3 個) の半導体素子 2 3 を含む一体の回路から成る 1 つの半導体装置 6 6 を構成する。半導体装置 6 0 の積層は、実施例 2 と同様に行うことができる。

【 0 0 4 1 】

図 1 7 に示した本発明の半導体装置 6 0 の製造方法の一例を、図 1 9 ~ 2 2 を参照して以下に説明する。図 4 ~ 図 9 に示す実施例 1 の構造に対応する部分には図 4 ~ 図 9 中と同じ参照番号を付した。

図 1 9 に示した初期構造は、図 4 に示した構造に加えて、テープ基材 2 1 の上面に、半導体素子 2 3 を搭載する領域に開口 3 7 を有する絶縁性基材 3 6 が接合されており、テープ基材 2 1 および絶縁性基材 3 6 を貫通して柱状の導体 3 2 が形成されている。開口 3 7 は、図 1 7 (2) に示したように、間隙 G を介して半

導体素子 2 3 を收容し得る形状および寸法になっている。テープ基材 2 1 の貫通孔 2 2 は実施例 1 と同様に半導体素子の接続端子 2 9 に対応する位置に設けてある。

【 0 0 4 2 】

絶縁性基材 3 6 はテープ基材 2 1 と同じ外形のテープ状であり、パンチング等により開口 3 7 を形成した後に、テープ基材 2 1 の上面に接合される。その後、柱状導体 3 2 を形成する位置に、レーザー加工により絶縁性基材 3 6 およびテープ基材 2 1 を貫通する貫通孔を開口する。次いで、金属配線層 2 5 にパターニングする前の銅箔を給電層として用いた孔埋めめっきにより、柱状導体 3 2 を形成する。図 1 9 の初期構造の他の部分については、実施例 1 と同様の処理により形成する。通常、柱状導体 3 2 は貫通孔 2 2 に対して直径が数倍の大きさである。例えば、貫通孔 2 2 が直径 2 5 ~ 1 0 0 μ m 程度であるのに対して、柱状導体 3 2 は直径 5 0 0 μ m 程度である。

次に、図 2 0 に示すように、開口 3 7 内に露出したテープ基材 2 1 の上面に絶縁性のコーティング 3 1 を形成した後、実施例 1 と同様にして、硬化前のコーティング 3 1 の上に半導体素子 2 3 を配置して接合する。これに伴い、半導体素子 2 3 のアクティグ面 2 3 A から隆起した接続端子 2 9 が、テープ基材 2 1 の貫通孔 2 2 内に挿入され、低融点金属 3 0 の中に押し込まれる。

【 0 0 4 3 】

次に、図 2 1 に示すように、半導体素子 2 3 と絶縁性基材 3 6 の開口 3 7 との間隙 G を、封止樹脂層 2 4 で封止する。これにより半導体素子 2 3 の側面周囲が封止される。図 2 1 ~ 図 2 2 において、絶縁性のコーティング 3 1 は図示を省略した。

次に、図 2 2 に示すように、絶縁性基材 3 6 の上部、封止樹脂層 2 4 の上部、導体 3 2 の頂部および半導体素子 2 3 の背面 2 3 B 側部分を研削および研磨して所定の厚さとする。

【 0 0 4 4 】

研削および研磨後に、ソルダレジスト層 2 6 の貫通孔 2 7 内に、実施例 1 と同様にして外部接続端子 2 8 を形成する。

最後に、図 2 2 に破線で示した各位置で半導体パッケージ単位 u に切り分けることにより、個々の半導体装置 6 0 (図 1 7) が得られる。

【実施例 4】

図 2 3 に、テープ基材 2 1 を含む初期構造として、直径 2 インチから 1 2 インチまでのディスク状のものをを用いて製造した、切り分け前の構造を示す。このような形状および寸法の初期構造を用いることにより、同サイズの半導体ウェハを処理する既存の研削機や切断機等の設備を用いることができるので、その分、新規設備のための費用を低減できる。図 2 3 には、実施例 3 の構造の半導体素子を製造する場合を示したが、もちろん実施例 1 および実施例 2 の場合にも同様に適用できる。

【0 0 4 5】

【発明の効果】

本発明によれば、取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さばらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図 1】

図 1 は、半導体チップと TCP のリードを接続した後の従来の半導体装置を示す斜視図であり、個々の TCP をテープから切断する前の状態を示す。

【図 2】

図 2 は、従来の半導体チップとパッケージのリードの接続の状態を、図 1 の半導体装置の中心部を拡大して示す断面図である。

【図 3】

図 3 (1) および (2) は、本発明による半導体装置の一例を示すそれぞれ (1) 断面図および (2) 上面図である。

【図 4】

図 4 は、図 3 に示した本発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 5】

図 5 は、図 4 に示した初期構造に絶縁性コーティングを形成した状態を示す断面図である。

【図 6】

図 6 は、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

【図 7】

図 7 は、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 8】

図 8 は、図 7 とは別の態様により、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 9】

図 9 は、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 10】

図 10 (1) および (2) は、本発明による半導体装置の他の例を示すそれぞれ (1) 断面図および (2) 上面図である。

【図 11】

図 11 は、図 10 の半導体装置を複数層積層して形成した薄型の積層型半導体装置を示す断面図である。

【図 12】

図 12 は、図 10 に示した本発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 13】

図 13 は、図 12 に示した初期構造に低融点金属の導体および絶縁性コーティングを形成した状態を示す断面図である。

【図 1 4】

図 1 4 は、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

【図 1 5】

図 1 5 は、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 1 6】

図 1 6 は、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 1 7】

図 1 7 (1) および (2) は、本発明による半導体装置のもう一つの例をそれぞれ示す (1) 断面図および (2) 上面図である。

【図 1 8】

図 1 8 は、図 1 7 の半導体装置を複数層積層して形成した薄型の積層型半導体装置を示す断面図である。

【図 1 9】

図 1 9 は、図 1 7 に示した本発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 2 0】

図 2 0 は、図 1 9 に示した初期構造に絶縁性コーティングを形成し、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

【図 2 1】

図 2 1 は、半導体素子と絶縁性基材の開口との間隙を封止樹脂層で封止した状態を示す断面図である。

【図 2 2】

図 2 2 は、図 2 1 に示す状態から、絶縁性基材の上部、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 2 3】

図 2 3 は、テープ基材を含む初期構造として、ディスク状のものを用いて製造した切り分けまへの構造を一部断面で示す斜視図である。

【符号の説明】

- 1 …樹脂フィルム（基材）
- 2 …リード
- 3 …スプロケットホール
- 4 …半導体チップ（半導体素子）
- 5 …開口（デバイスホール）
- 6 …バンプ（金等）
- 7 …封止樹脂
- 1 0 …従来の T C P
- 2 0 …本発明による半導体装置
- 2 1 …絶縁性テープ基材
- 2 2 …テープ基材 2 1 の厚さ方向の貫通孔
- 2 3 …半導体素子
- 2 3 A …半導体素子のアクティブ面
- 2 3 B …半導体素子の背面
- 2 4 …封止樹脂層
- 2 5 …金属配線
- 2 6 …ソルダレジスト層
- 2 7 …ソルダレジスト層の厚さ方向の貫通孔
- 2 8 …外部接続端子
- 2 9 …半導体素子の接続端子
- 3 0 …低融点金属の充填材
- 3 1 …絶縁性のコーティング
- 3 2 …低融点金属の導体（柱状導体）
- 3 6 …絶縁性基材
- 3 7 …絶縁性基材 3 6 の厚さ方向の貫通孔

4 0 …本発明による半導体装置

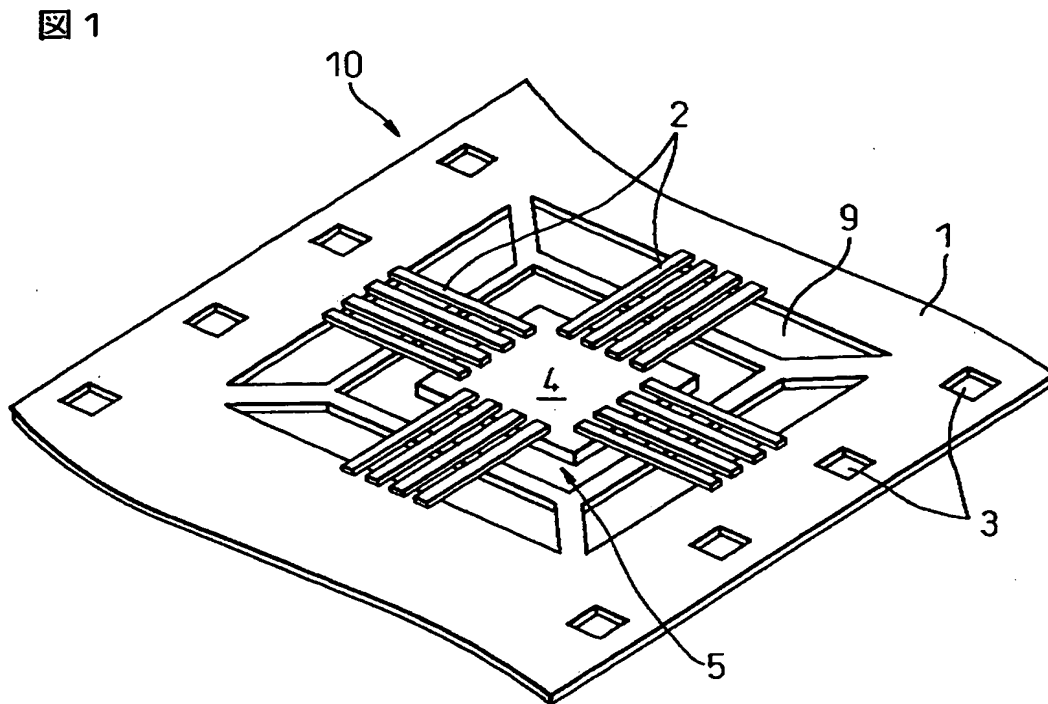
4 4 …本発明による積層体型半導体装置

6 0 …本発明による半導体装置

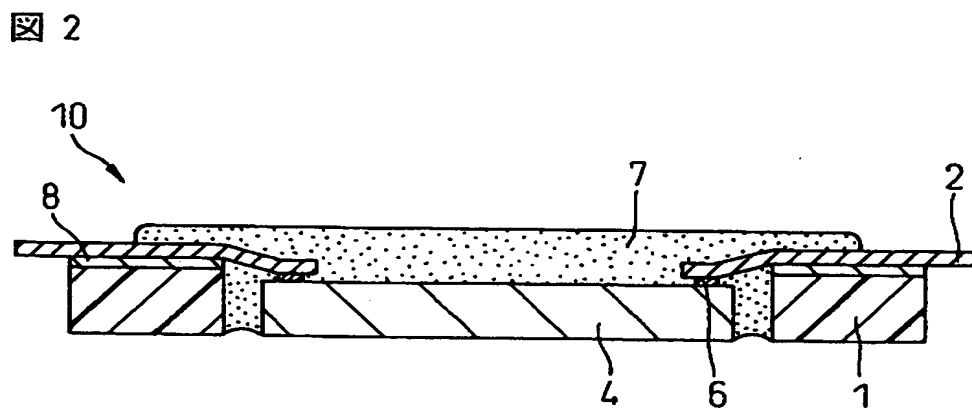
6 6 …本発明による積層体型半導体装置

【書類名】 図面

【図 1】

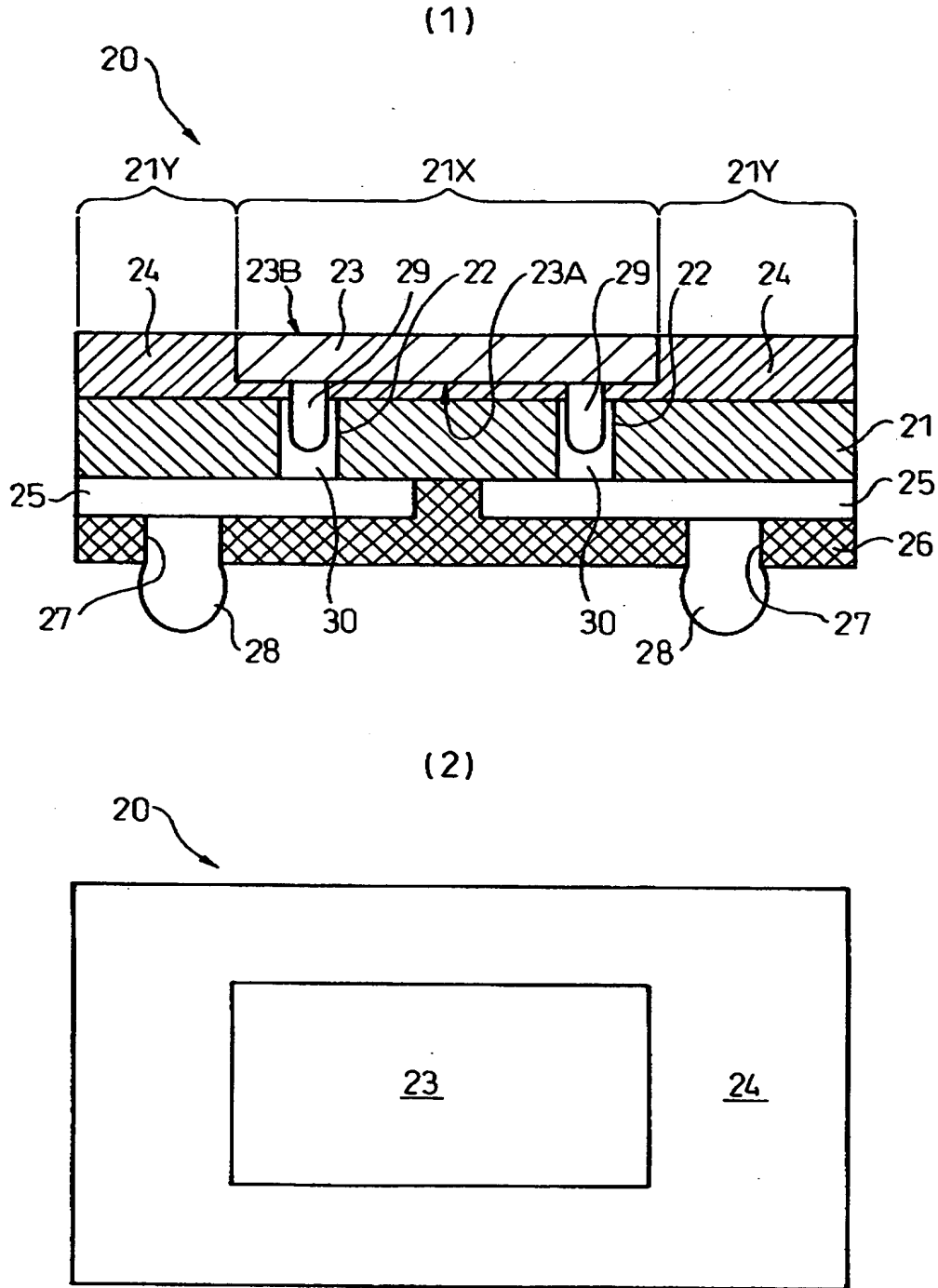


【図 2】



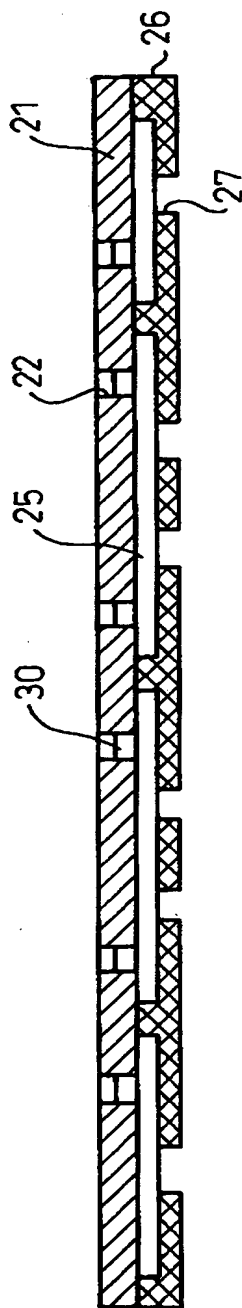
【図 3】

図 3



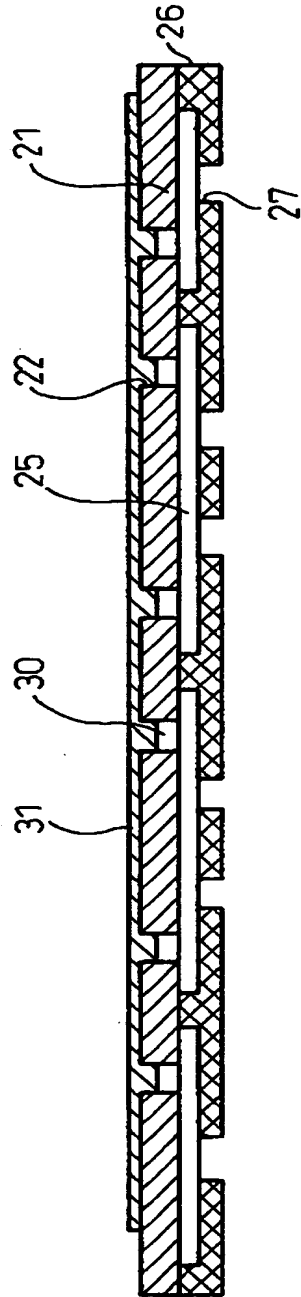
【図4】

図 4



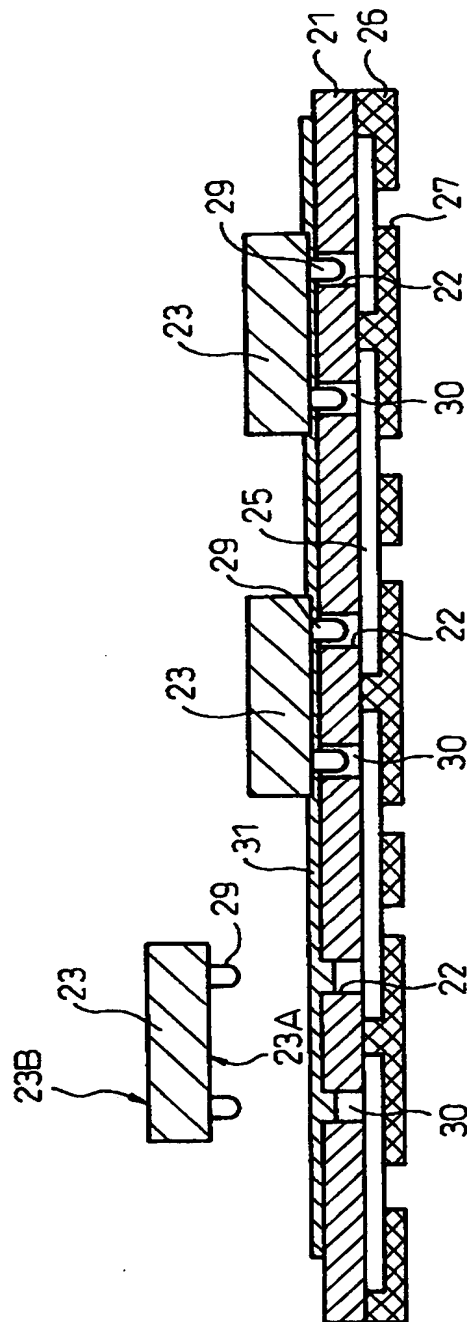
【図 5】

図 5



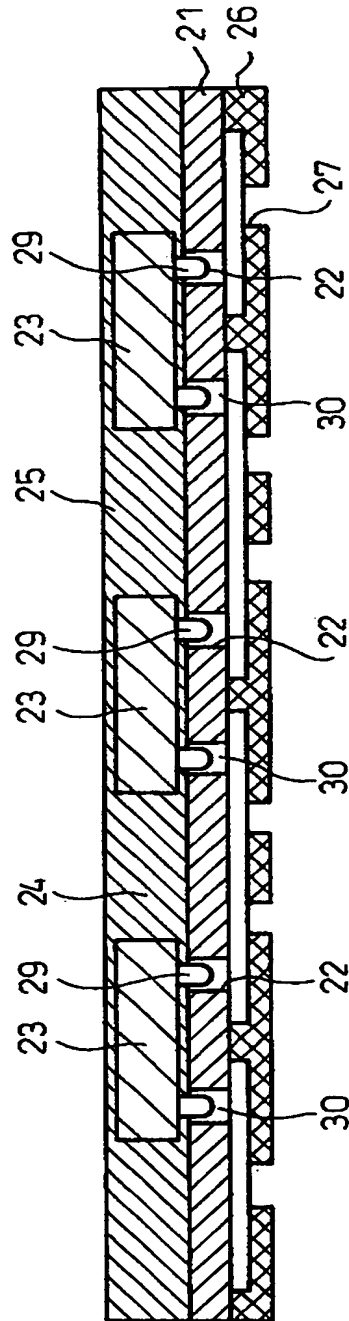
【図 6】

図 6



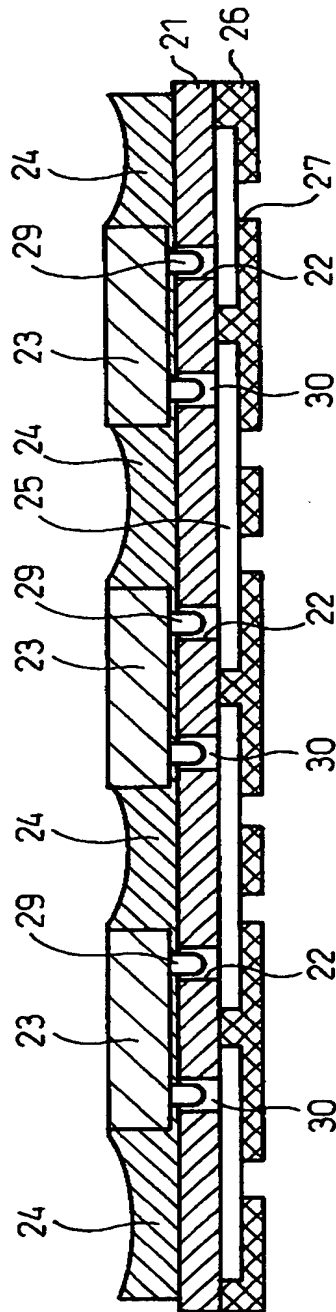
【図 7】

図 7



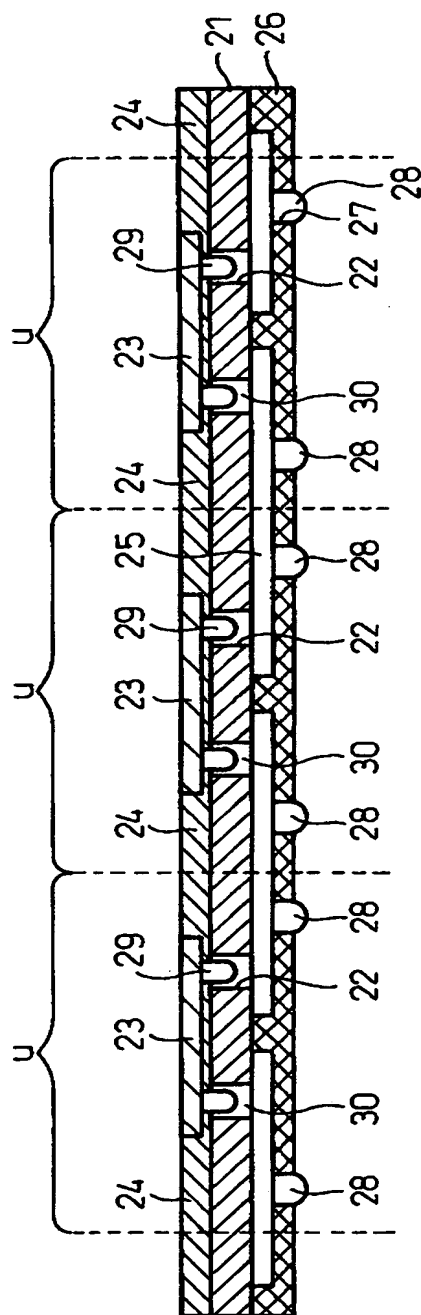
【図 8】

图 8

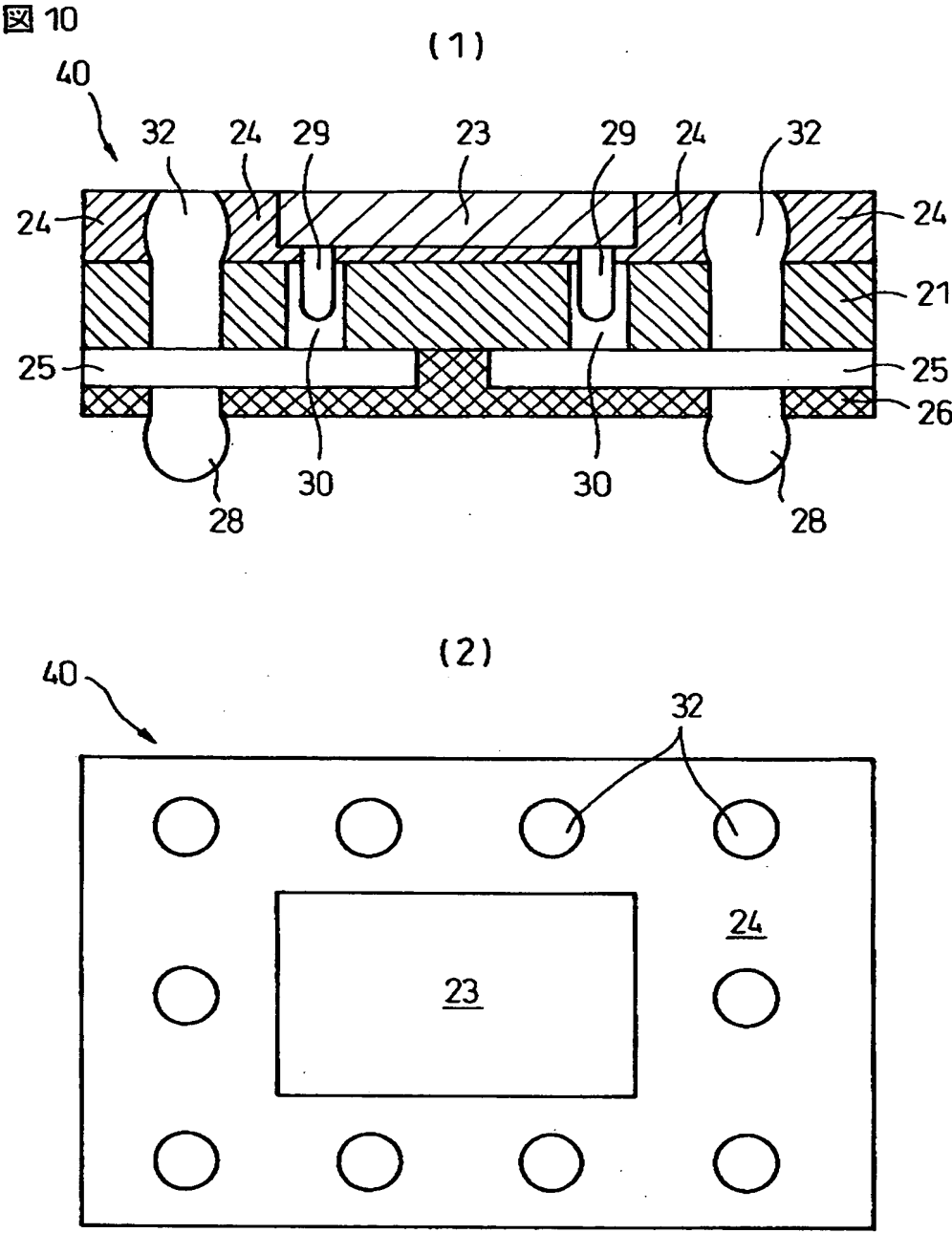


【図 9】

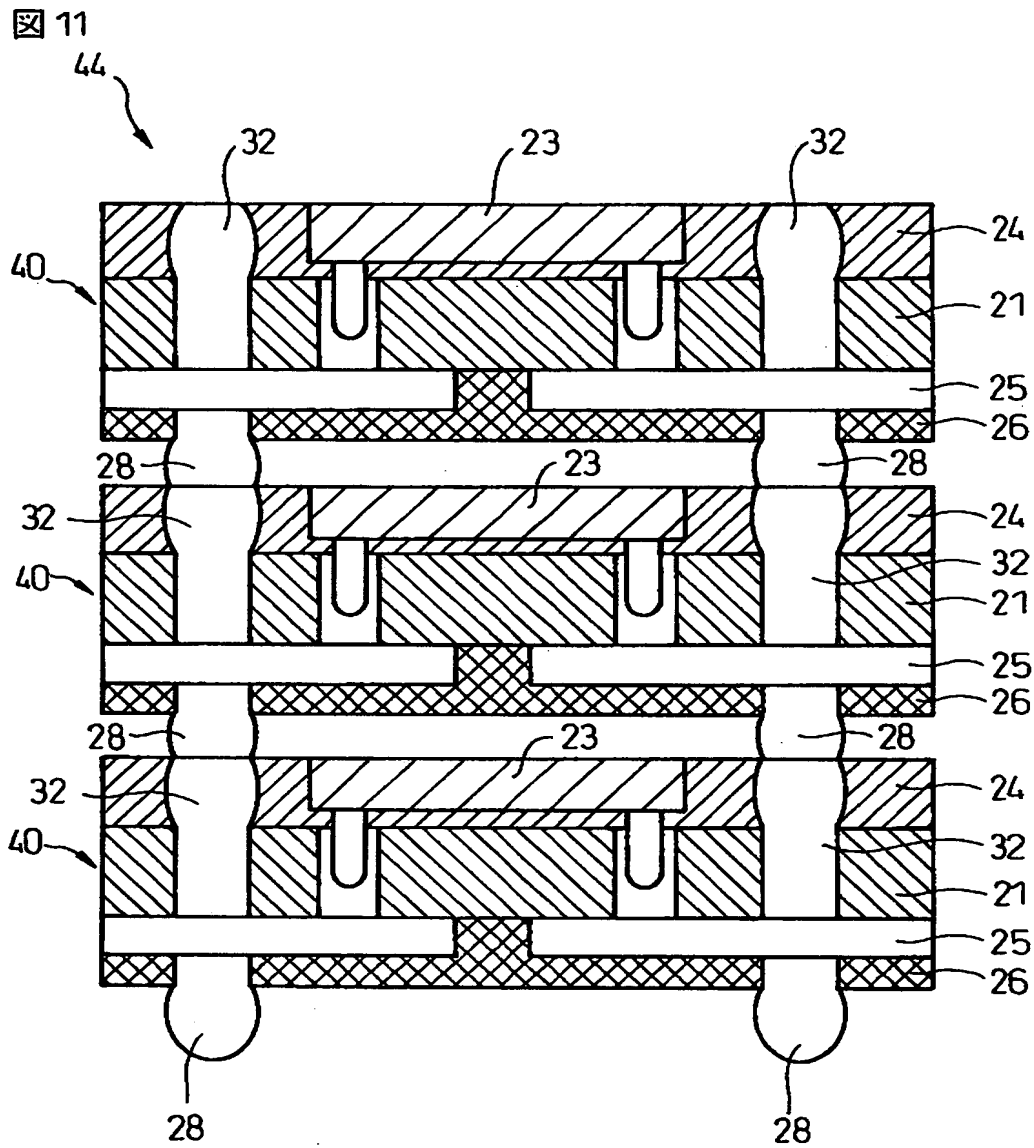
図 9



【図10】

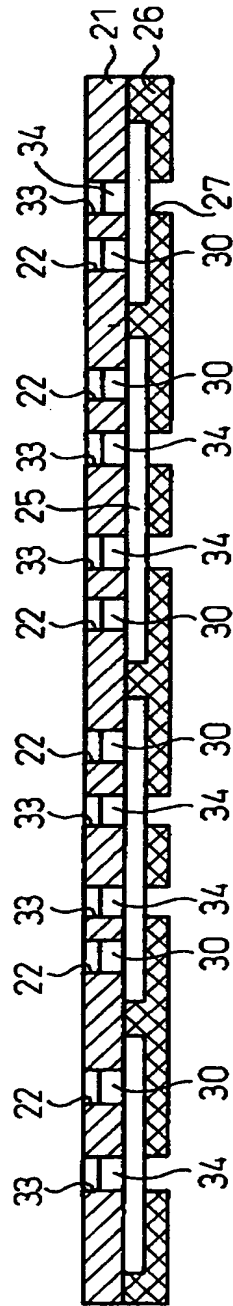


【図 11】



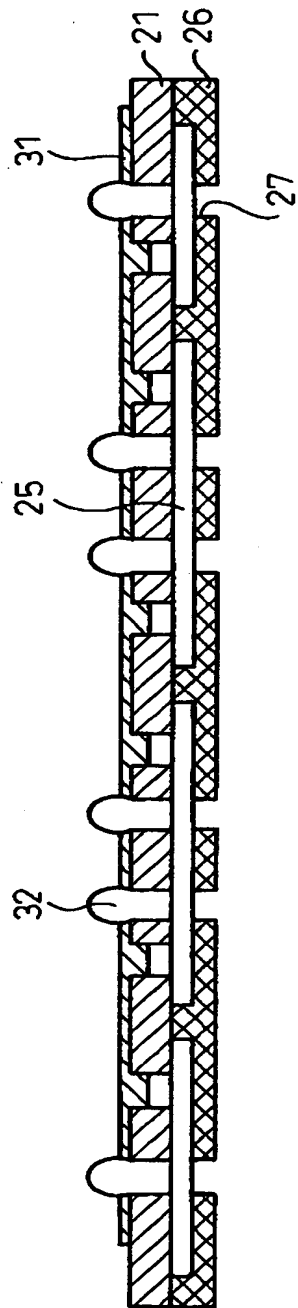
【図 12】

図 12



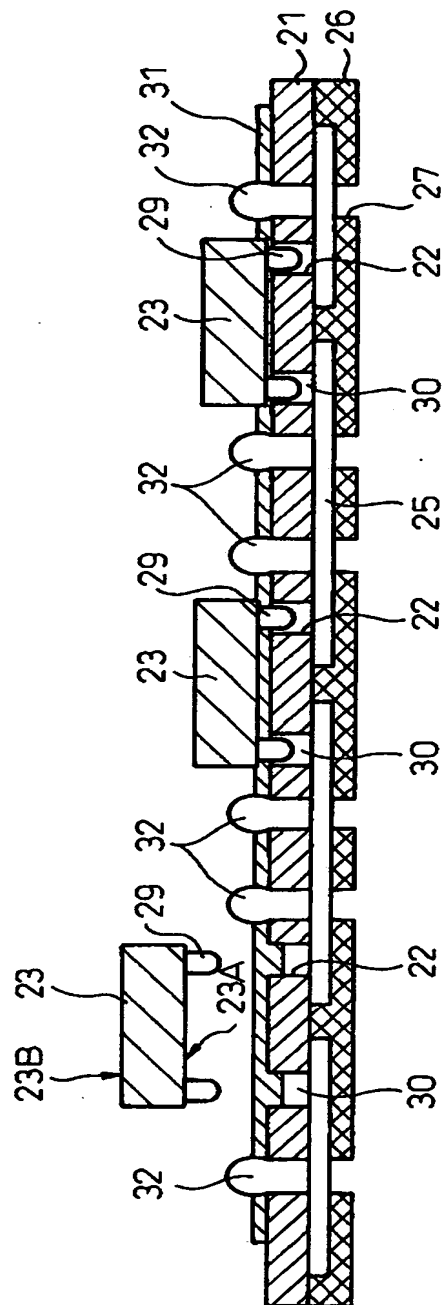
【図 1 3】

図 13



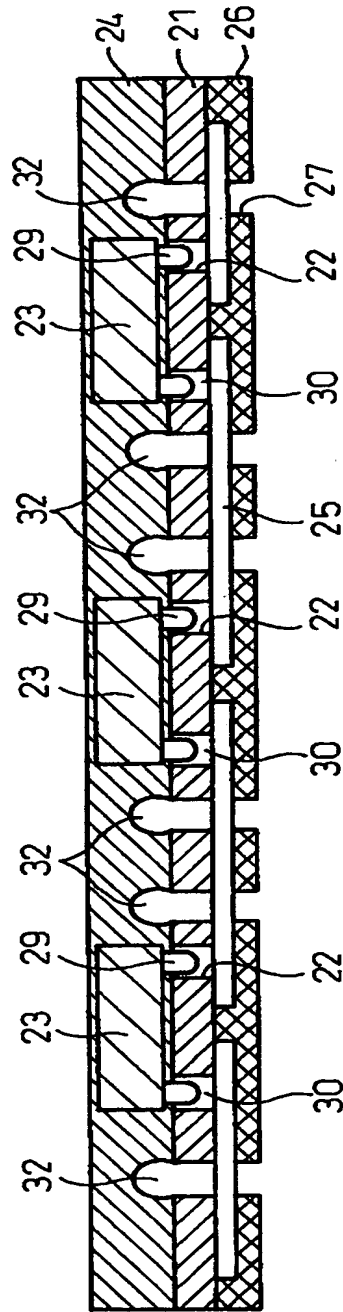
【図 1 4】

図 14



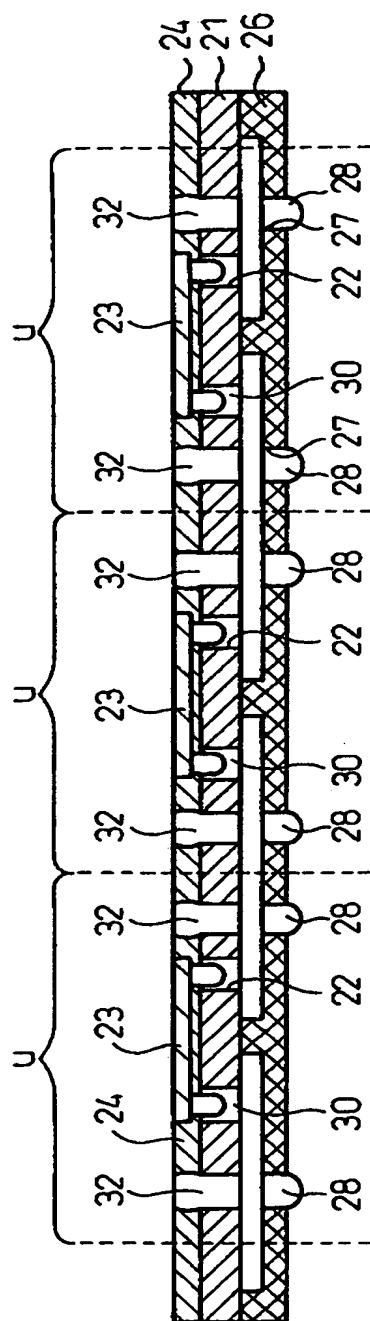
【図 1 5】

図 15



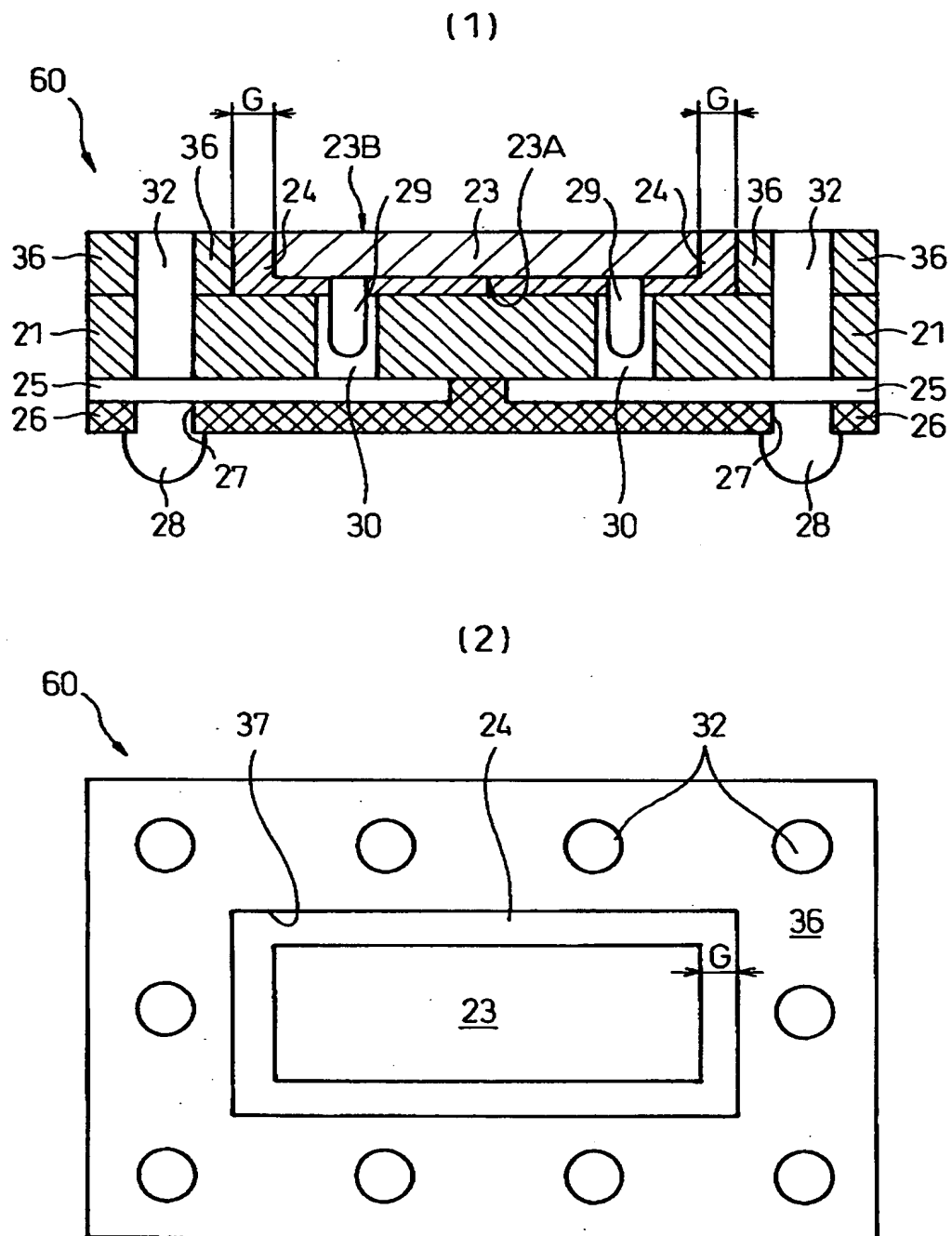
【図 16】

図 16



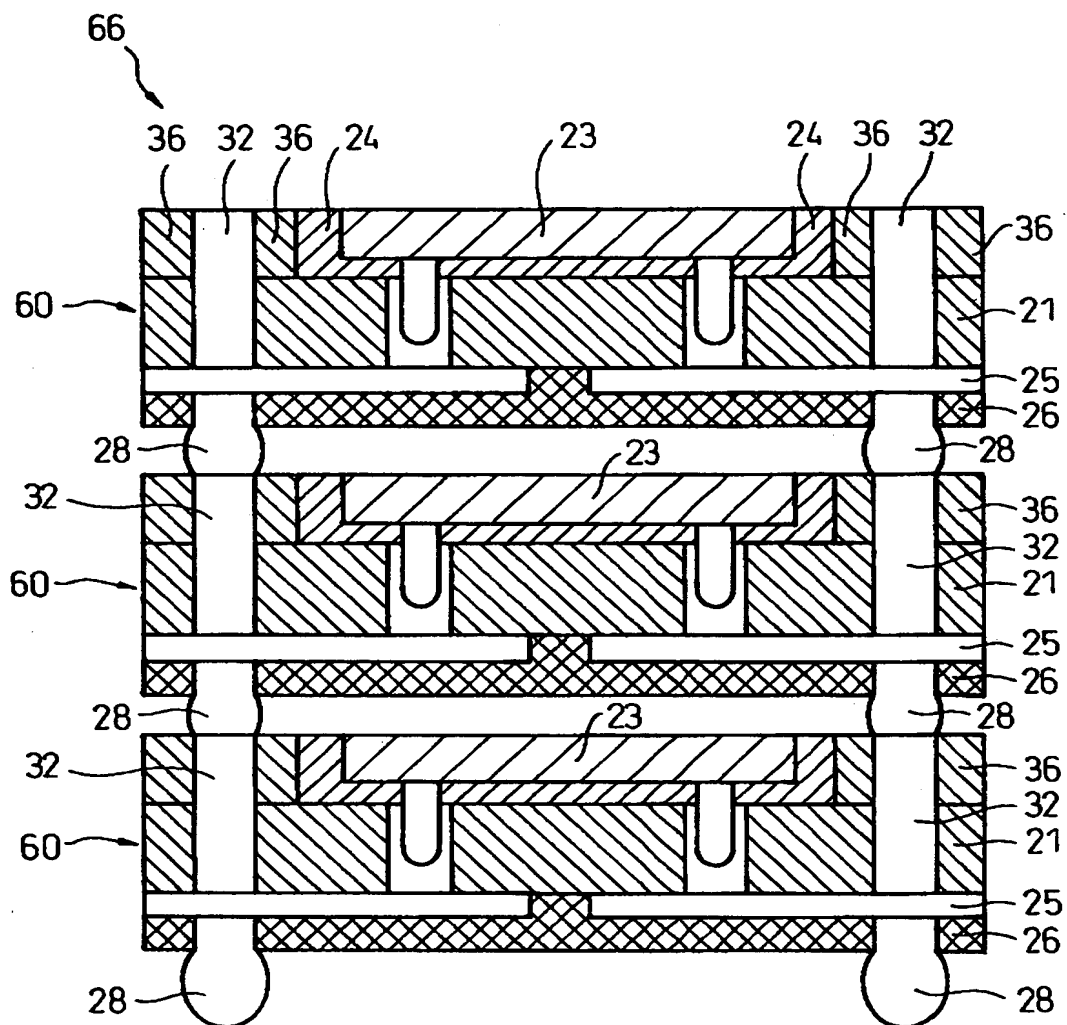
【図 17】

图 17



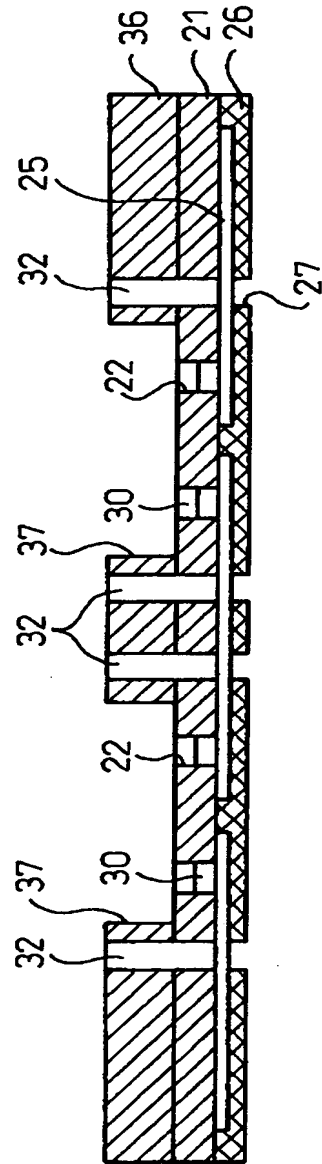
【図18】

図 18



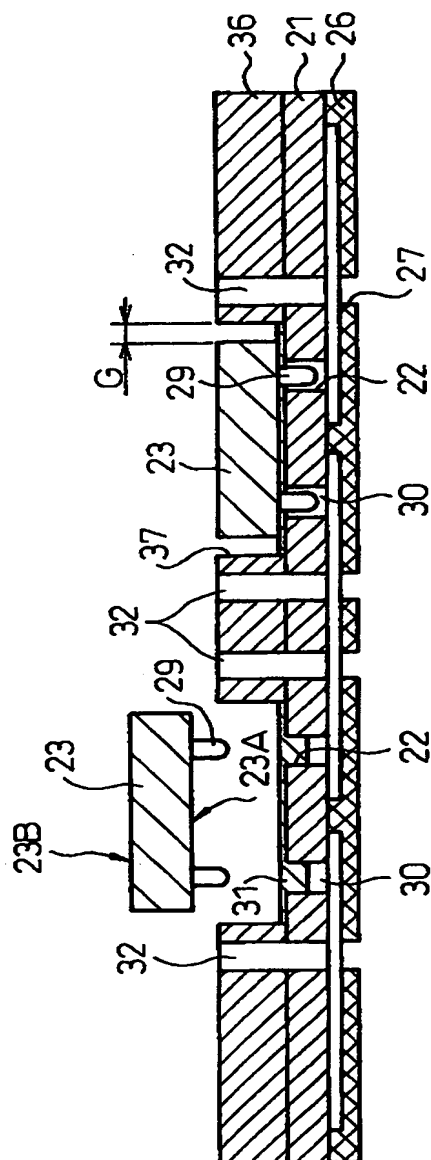
【図 1 9】

図 19



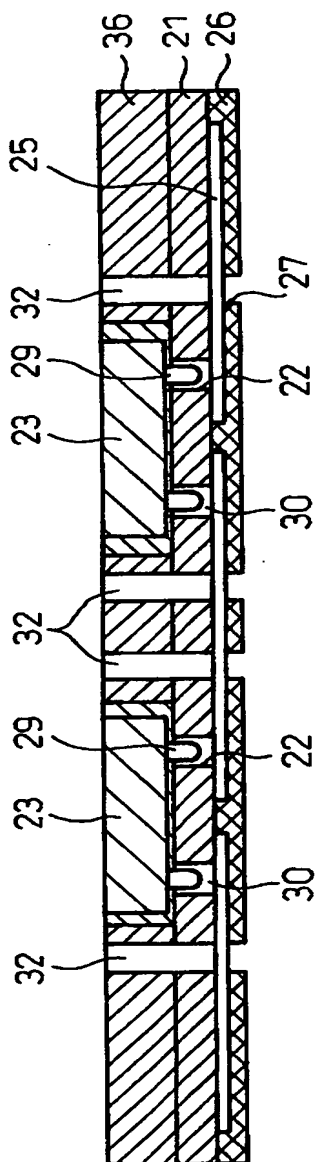
【図 2 0】

図 20



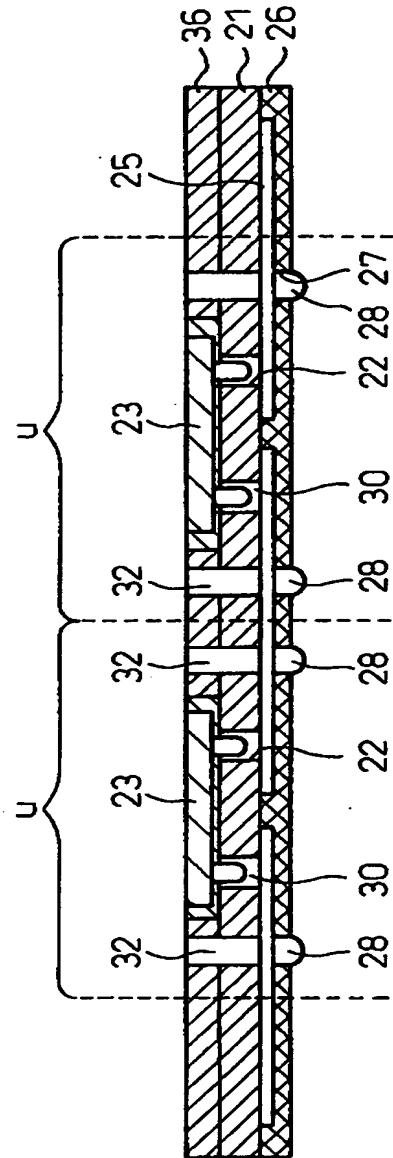
【図 2 1】

図 21



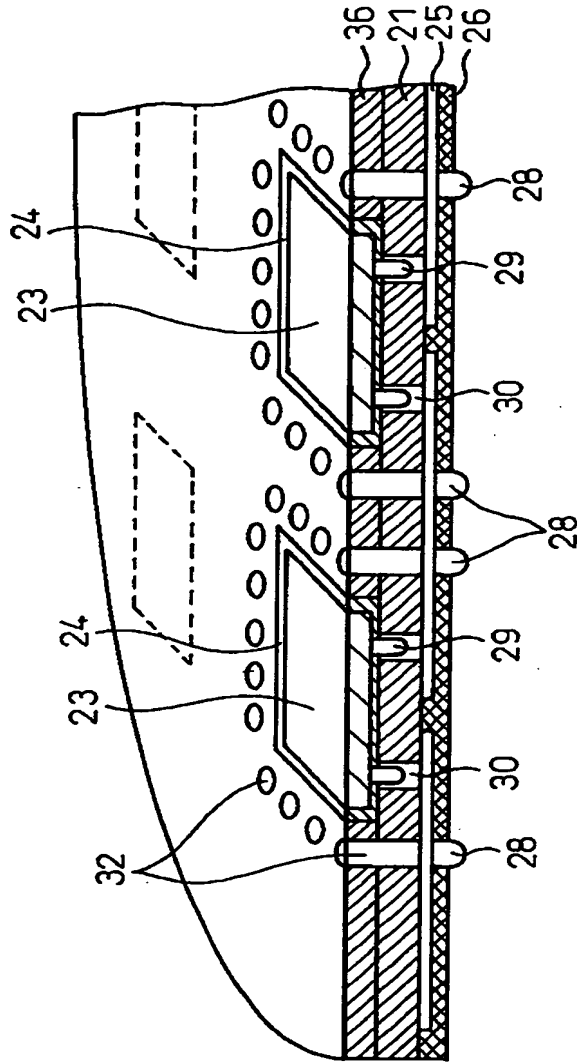
【图 2 2】

图 22



【図 23】

図 23



【書類名】 要約書

【要約】

【課題】 取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さばらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法を提供する。

【解決手段】 厚さ方向の貫通孔を有する絶縁性のテープ基材の上面に背面を上方に露出して半導体素子が搭載され、半導体素子の側面周囲は封止樹脂層で封止され、テープ基材の下面に形成された金属配線がテープ基材の貫通孔の底部を画定し、厚さ方向の貫通孔を有するソルダレジスト層が金属配線およびテープ基材の下面を覆い、半導体素子のアクティブ面から下方に延びた接続端子がテープ基材の貫通孔内に挿入され、導電性材料から成る充填材が接続端子とテープ基材の貫通孔の内壁との間隙を充填し接続端子と金属配線を電氣的に接続している半導体装置。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 長野県長野市大字栗田字舎利田711番地

氏 名 新光電気工業株式会社